

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232401

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H01L 21/66
G06F 17/50

(21)Application number : 08-058532

(71)Applicant : RICOH CO LTD

(22)Date of filing : 20.02.1996

(72)Inventor : AGARI HIDEKI

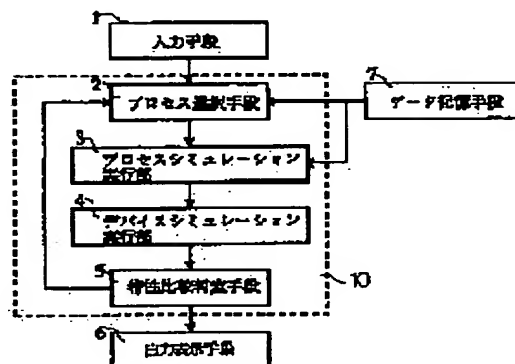
(54) ABNORMALITY ANALYZING DEVICE FOR SEMICONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To analyze promptly and with sure by relating abnormality characteristics of a sample semiconductor to all processes causing it.

SOLUTION: With abnormality in electric characteristics of a sample semiconductor, firstly shape processes relating to abnormality characteristics are sequentially selected by a process selecting means 2, and simulation is performed for each process by a process simulation execution part 3 and a device simulation execution part 4, and, representation of abnormality characteristics is decided by a characteristics comparison/decision means 5, and when abnormal cause exists in a shape process, the process is displayed with an output display means 6, and when no cause is found in the shape process, processes other than the shape process are sequentially selected. In a similar manner, simulation of each process and representation of abnormality characteristics are decided, and the process causing it is displayed, and multiple processes are present as a cause, these

processes are displayed while sensitivity to abnormality characteristics is sequenced, thus, a causing process for characteristics abnormality is analyzed and displayed promptly and surely.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232401

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66			H 0 1 L 21/66	Z
G 0 6 F 17/50			G 0 6 F 15/60	6 1 2 G

審査請求 未請求 請求項の数4 F D (全 6 頁)

(21) 出願番号 特願平8-58532

(22) 出願日 平成8年(1996)2月20日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 上里 英樹

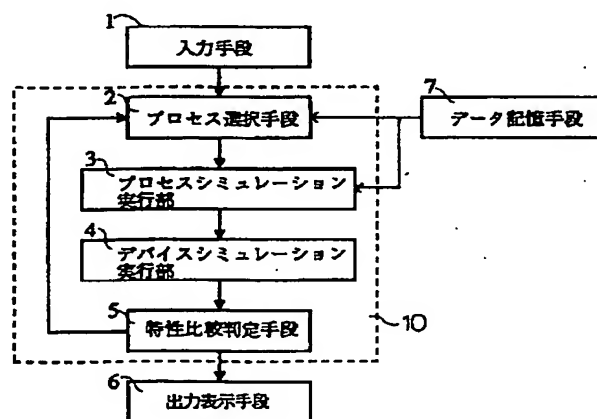
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54) 【発明の名称】 半導体の異常解析装置

(57) 【要約】

【課題】 被解析半導体の異常特性を、起因する全てのプロセスに対応付けて迅速且つ的確に解析することが可能な半導体の異常解析装置を提供する。

【解決手段】 被検半導体の電気的特性の異常により、先ず、プロセス選択手段2により異常特性に関連する形状プロセスが順次選択され、プロセスシュミレーション実行部3、デバイスシュミレーション実行部4で、各プロセスでのシュミレーションが行われ、特性比較判定手段5により異常特性の再現が判定され、形状プロセスに異常原因があるとそのプロセスが、出力表示手段6により表示され、形状プロセスに原因がないと、形状プロセス以外のプロセスが順次選択され、同様にして、各プロセスでのシュミレーションと、異常特性の再現が判定され、原因するプロセスが表示され、原因となるプロセスが複数存在すると、これらのプロセスが、異常特性への感度が順序付けられて表示され、特性異常の原因プロセスが、迅速且つ的確に解析表示される。



【特許請求の範囲】

【請求項1】 被検半導体の異常な電気的特性を検出して入力する異常特性入力手段と、前記異常な電気的特性に関連するプロセスを選択するプロセス選択手段と、該プロセス選択手段で選択されたプロセスに対応するシュミレーションを実行するシュミレーション実行手段と、前記シュミレーションの実行で得られたシュミレーションデータに基づき、前記異常な電気的特性の再現を判定する判定手段と、前記異常な電気的特性が再現されるまで、前記プロセス選択手段に関連するプロセスを選択させ、前記シュミレーション実行手段に、選択したプロセスのシュミレーションを実行させる制御手段と、該制御手段の制御過程で、前記判定手段が前期異常な電気的特性の再現を判定すると、対応するプロセスを表示する表示手段とを有することを特徴とする半導体の異常解析装置。

【請求項2】 請求項1記載の半導体の異常解析装置に対して、プロセスに対応して所定のばらつき範囲のパラメータ値が格納されるパラメータ記憶手段が設けられ、シュミレーション実行時に、前記制御手段が、前記シュミレーション実行手段に、前記パラメータ記憶手段から読み出したパラメータ値に基づいて、シュミレーションを実行させることを特徴とする半導体プロセス異常解析装置。

【請求項3】 請求項1または請求項2記載の半導体の異常解析装置に対して、正常なプロセスでの基準シュミレーションデータが格納される基準データ記憶手段が設けられ、前記判定手段が、シュミレーションの実行で得られたデータと、前記基準シュミレーションデータとの差値に基づいて、前記異常な電気的特性の再現を判定することを特徴とする半導体の異常解析装置。

【請求項4】 請求項1または請求項2記載の半導体の異常解析装置において、前記判定手段によって、前記異常な電気的特性の原因になる複数のプロセスが判定されると、前記制御手段は、前記複数のプロセスを、前記異常な電気的特性に対する感度の順序付けをして表示するように、前記表示手段を制御することを特徴とする半導体の異常解析装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体の異常を製造プロセスに対応付けて解析する半導体の異常解析装置に関する。

【0002】

【従来の技術】半導体の製造に際して、製造プロセスの工程の異常や、プロセスパラメータのばらつきによ

て、製造される半導体の特性上で異常が発生することがある。この場合の特性異常の原因を突き止めるためには、従来は技術者の経験上の知識やノウハウに依存することが多かった。

【0003】近年、プロセス/デバイスシュミレーションによって、新しい半導体デバイスの特性予測や半導体デバイスの内部解析が行われているが、半導体の特性異常の解析に適用しようとする、多数の製造プロセスについて、半導体デバイスの品種、プロセス条件を考慮してシュミレーションを行うことが必要になり、処理演算に時間を要し解析に必要なコスト上で問題が生じる。

【0004】この種の半導体の特性異常の解析に関しては、特開平5-198648号公報に、プロセスシュミレーションによる不純物の深さ方向の濃度プロファイルと、不純物に関するプロセス履歴を経た被解析半導体ウエハのSIMS測定によって得た不純物の深さ方向の濃度分布プロファイルとを比較し、プロセスシュミレーションのパラメータの値を変え、どのパラメータをどのように変化させた時に、濃度分布プロファイルのフッティングが行われるかにより、不良原因を合理的に解析する異常解析装置が開示されている。

【0005】

【発明が解決しようとする課題】しかし、前述の開示に係る異常解析装置では、被解析半導体ウエハのSIMS測定に、かなりの測定コストと測定時間とを必要とすると共に、不純物の濃度分布プロファイルに影響する工程を把握するもので、被解析半導体ウエハのゲート酸化膜形成プロセス、デポジションプロセス、エッチングプロセスなどの形状プロセスに起因する異常は把握することはできない。

【0006】本発明は、前述したような半導体の異常解析の現状に鑑みてなされたものであり、その目的は、被解析半導体の異常な特性を、起因する全てのプロセスに対応付けて迅速且つ的確に解析することが可能な半導体の異常解析装置を提供することにある。

【0007】

【課題を解決するための手段】前記目的を達成するために、請求項1記載の発明は、被検半導体の異常な電気的特性を検出して入力する異常特性入力手段と、前記異常な電気的特性に関連するプロセスを選択するプロセス選択手段と、該プロセス選択手段で選択されたプロセスに対応するシュミレーションを実行するシュミレーション実行手段と、前記シュミレーションの実行で得られたシュミレーションデータに基づき、前記異常な電気的特性の再現を判定する判定手段と、前記異常な電気的特性が再現されるまで、前記プロセス選択手段に関連するプロセスを選択させ、前記シュミレーション実行手段に、選択したプロセスのシュミレーションを実行させる制御手段と、該制御手段の制御過程で、前記判定手段が前期異常な電気的特性の再現を判定すると、対応するプロセス

を表示する表示手段とを有することを特徴とするものである。

【0008】同様に前記目的を達成するために、請求項2記載の発明は、請求項1記載の発明に対して、プロセスに対応して所定のばらつき範囲のパラメータ値が格納されるパラメータ記憶手段が設けられ、シュミレーション実行時に、前記制御手段が、前記シュミレーション実行手段に、前記パラメータ記憶手段から読み出したパラメータ値に基づいて、シュミレーションを実行させることを特徴とするものである。

【0009】同様に前記目的を達成するために、請求項3記載の発明は、請求項1または請求項2記載の半導体の異常解析装置に対して、正常なプロセスでの基準シュミレーションデータが格納される基準データ記憶手段が設けられ、前記判定手段が、シュミレーションの実行で得られたデータと、前記基準シュミレーションデータとの差値に基づいて、前記異常な電気的特性の再現を判定することを特徴とするものである。

【0010】同様に前記目的を達成するために、請求項4記載の発明は、請求項1または請求項2記載の半導体の異常解析装置において、前記判定手段によって、前記異常な電気的特性の原因になる複数のプロセスが判定されると、前記制御手段は、前記複数のプロセスを、前記異常な電気的特性に対する感度の順序付けをして表示するように、前記表示手段を制御することを特徴とするものである。

【0011】

【発明の実施の形態】以下に、本発明の一実施の形態を、図1及び図2を参照して説明する。図1は本実施の形態の構成を示すブロック図、図2は本実施の形態の動作を示すフローチャートである。

【0012】本実施の形態では、図1に示すように、被検半導体の異常の解析を行うデータ処理装置10に、被検半導体の異常な電気的特性を検出して入力する入力手段1、異常解析を行うデータが記憶されたデータ記憶手段7、及び被検半導体の異常の判定結果が表示される出力表示手段6が接続されている。

【0013】データ処理装置10には、異常な電気的特性に関連するプロセスを選択するプロセス選択手段2、プロセス選択手段2に接続され、プロセスシュミレーションを実行するプロセスシュミレーション実行部3、プロセスシュミレーション実行部3に接続され、デバイスシュミレーション実行部4、デバイスシュミレーション実行部4に接続され、被検半導体の特性異常の判定をする特性比較判定手段5が設けられている。

【0014】そして、プロセス選択手段2に、入力手段1とデータ記憶手段7が接続され、プロセスシュミレーション実行部3にデータ記憶手段7が接続され、特性比較判定手段5に出力表示手段6が接続され、データ処理装置10内において、特性比較判定手段5がプロセス選

択手段2に接続されている。

【0015】このような構成の本実施の形態の動作を、図2のフローチャートに基づいて説明する。例えば、被検半導体であるNMOSについて、閾値電圧 V_{th} が正常値から許容値を越えて高いという異常な電気的特性が検出されると、ステップS1において、該異常の情報がデータ処理装置10のプロセス選択手段2に入力される。

【0016】この異常の情報に基づいて、プロセス選択手段2では、ステップS2において、閾値電圧 V_{th} の上昇の原因となるゲート酸化膜形成プロセスでの膜厚の過剰、チャンネルドーププロセスでのチャンネルドープ量の過剰、熱処理プロセスでのチャンネルドープ後の熱履歴時間の不足、ウェル注入プロセスでの注入量の不足など原因対象が存在する可能性のあるプロセスの内から、先ず形状プロセスであるゲート酸化膜形成プロセスが選択される。そして、データ記憶手段7から、ゲート酸化膜形成プロセスのプロセスパラメータが、該プロセスに対応するばらつき範囲内で取り込まれる。

【0017】次いで、ステップS3で、製造されたNMOSの形状とゲート酸化膜の膜厚が所定の許容値範囲を越えて異常であるか否かが判定され、ステップS3で異常であると判定されると、ステップS4に進んで、プロセスシュミレーション実行部3により、データ記憶手段7からプロセスシュミレーションの実行に必要なデータが取込まれ、取込んだデータに基づいて、プロセスシュミレーションが実行され、ステップS5では、デバイスシュミレーション実行部4によって、デバイスシュミレーションが実行される。

【0018】そして、ステップS6に進んで、特性比較判定手段5によって、選択されたゲート酸化膜形成プロセスでのシュミレーションに基づき、出力される閾値電圧 V_{th} が、入力手段1で検出された異常な閾値電圧 V_{th} に、予め設定した所定の範囲内で一致するか否かの判定が行われる。

【0019】ステップS6で、ゲート酸化膜形成プロセスでのシュミレーションに基づき、出力される閾値電圧 V_{th} が、入力手段1で検出された異常な閾値電圧 V_{th} に、予め設定した所定の範囲内で一致すると判定されると、ステップS7に進んで、出力表示手段6によって、ゲート酸化膜形成プロセスが原因で特性異常が発生した旨のメッセージが表示される。

【0020】この場合、ステップS6の判定がNOであると、形状膜厚には異常が認められたが、ゲート酸化膜形成プロセスが原因でない場合であり、この場合には、ステップS8を介して、ステップS2に戻り、デポジションプロセス、エッチングプロセスなどの他の形状プロセスが選択され、同一の処理が行われ、ステップS6で、特性比較判定手段5によって、該プロセスでのシュミレーションに基づき、出力される閾値電圧 V_{th} が、

入力手段1で検出された異常な閾値電圧 V_{th} に、予め設定した所定の範囲内で一致すると判定されると、ステップS7に進んで、出力表示手段6によって、該プロセスが原因で特性異常が発生した旨のメッセージが表示される。

【0021】一方、ステップS3で、製造されたNMO Sの形状とゲート酸化膜の膜厚に異常がないと判定されると、ステップS9に進んで、プロセス選択手段2によって、データ記憶手段7から、入力手段1で入力された異常の情報に関連する形状プロセス以外のプロセス、即ち、チャンネルドープ量を決定するチャンネルドーププロセス、熱履歴時間を決定する熱処理プロセス、ウェルの注入量を決定するウェル注入プロセスの一つ、例えばチャンネルドーププロセスのプロセスパラメータが、該プロセスに対応するばらつき範囲内で取り込まれる。

【0022】次いで、ステップS10に進んで、プロセスシュミレーション実行部3により、データ記憶手段7からチャンネルドーププロセスのプロセスシュミレーションの実行に必要なデータが取込まれ、取込んだデータに基づいて、プロセスシュミレーションが実行され、ステップS11では、デバイスシュミレーション実行部4によって、デバイスシュミレーションが実行される。

【0023】そして、ステップS12に進んで、特性比較判定手段5によって、選択されたチャンネルドーププロセスのシュミレーションに基づき、出力される閾値電圧 V_{th} が、入力手段1で検出された異常な閾値電圧 V_{th} に、予め設定した所定の範囲内で一致するかどうかの判定が行われる。

【0024】ステップS12で、チャンネルドーププロセスでのシュミレーションに基づき、出力される閾値電圧 V_{th} が、入力手段1で検出された異常な閾値電圧 V_{th} に、予め設定した所定の範囲内で一致すると判定されると、ステップS15に進んで、出力表示手段6によって、チャンネルドーププロセスが原因で特性異常が発生した旨のメッセージが表示される。

【0025】この場合、ステップS12の判定がNOであると、NMO Sの特性異常がチャンネルドーププロセスが原因でない場合であり、この場合には、ステップS13を介して、ステップS9に戻り、熱履歴時間を決定する熱処理プロセス、ウェルの注入量を決定するウェル注入プロセスなどの他のプロセスが選択され、同一の処理が行われ、ステップS12で、特性比較判定手段5によって、該プロセスでのシュミレーションに基づき、出力される閾値電圧 V_{th} が、入力手段1で検出された異常な閾値電圧 V_{th} に、予め設定した所定の範囲内で一致すると判定されると、ステップS15に進んで、出力表示手段6によって、該プロセスが原因で特性異常が発生した旨のメッセージが表示される。

【0026】本実施の形態では、特性比較判定手段5が、完全な特性異常の再現の判定と共に、対応するプロ

セスが、該特性異常に他のプロセスと共に関連している部分再現の判定を行うことが可能で、この部分再現の判定を行った場合には、判定ごとに、対応するプロセスの種類が特性比較判定手段5の図示せぬメモリに格納される。

【0027】そして、この部分再現の判定を行った場合には、ステップS14において、出力表示手段6は、特性比較判定手段5のメモリから、該特性異常に関連する複数のプロセスを読み出し、ステップS15で、該特性異常に関連する複数のプロセスに、予め設定されている該特性異常に対する感度の順位を付して、これらのプロセスが該特性異常の原因である旨のメッセージが表示される。

【0028】このように、本実施の形態によると、被検半導体の電気的特性に異常が検出されると、先ず、ゲート酸化膜形成プロセス、デポジションプロセス、エッチングプロセスなどの該異常特性に関連する形状プロセスが順次選択され、各プロセスでのシュミレーションが行われ、該異常特性の再現が判定され、形状プロセスに異常原因がある場合には、膜厚や形状に基づいて、比較的容易且つ迅速に対応するプロセスが特定される。

【0029】そして、形状プロセスに異常特性の原因がない場合には、形状プロセス以外のチャンネルドーププロセス、熱処理プロセス、ウェル注入プロセスなどのプロセスが順次選択され、各プロセスでのシュミレーションが行われ、該異常特性の再現が判定され、該異常特性に原因するプロセスが的確に特定される。さらに、該異常特性の原因になるプロセスが複数存在する場合には、これらのプロセスが、該異常特性に対する感度の順序付けをされて表示される。

【0030】このために、本実施の形態によると、被検半導体の特性異常の原因となるプロセスを、原因の特定が容易な形状プロセスを優先させて、迅速且つ的確に解析して、特性異常に原因するプロセスが複数存在する場合は、該特性異常への感度で順序付けて、特性異常の原因となるプロセスを、短時間で的確に表示することが可能になる。

【0031】なお、本発明は以上に説明した本実施の形態に限定されるものでなく、例えばチャンネルドーププロセスのチャンネルドープ量と異常特性データとを対応付けて、予めデータ記憶手段7に格納しておき、該プロセスのシュミレーションを迅速に行う構成にすることも可能である。

【0032】この場合には、例えば、閾値電圧 V_{th} の0.2Vシフトに対して、チャンネルドープ量5%過剰という相関データが、データ記憶手段7に格納され、以降のシュミレーションを迅速且つ的確に行うことが可能になる。

【0033】同様に、本実施の形態に対して、正常なプロセスでの基準シュミレーションデータが格納される基

10

20

30

40

50

準データ記憶手段を設け、特性比較判定手段5が、プロセスシュミレーション実行部3とデバイスシュミレーション実行部4のシュミレーションの実行で得られたデータと、基準シュミレーションデータとの差値に基づいて、異常な電気的特性の再現を判定するようにし、シュミレーションに存在する誤差の影響なしに判定が行えるようにすることも可能である。

【0034】

【発明の効果】請求項1記載の発明によると、被検半導体の異常な電気的特性が検出され入力されると、検出された異常な電気的特性に関連するプロセスが選択され、選択されたプロセスに対応するシュミレーションが実行され、シュミレーションの実行で得られたシュミレーションデータに基づき、前記異常な電気的特性の再現が判定され、前記異常な電気的特性が再現されるまで、関連するプロセスが選択され、選択されたプロセスのシュミレーションが実行され、前記異常な電気的特性の再現が判定されると、対応するプロセスが表示されるので、異常な電気的特性の原因となるプロセスを、的確且つ迅速に判定して効率的に解析することが可能になる。

【0035】請求項2記載の発明によると、請求項1記載の発明で得られる効果に加えて、プロセスに対応して所定のばらつき範囲のパラメータ値が格納されるパラメータ記憶手段が設けられ、シュミレーション実行時に、パラメータ記憶手段から読み出されたパラメータ値に基づいて、シュミレーションが実行されるので、異常な電気的特性の原因となるプロセスの絞り込みを適切に行うことが可能になる。

【0036】請求項3記載の発明によると、請求項1ま*

*たは請求項2記載の発明で得られる効果に加えて、正常なプロセスでの基準シュミレーションデータが格納される基準データ記憶手段が設けられ、シュミレーションの実行で得られたデータと、基準シュミレーションデータとの差値に基づいて、前記異常な電気的特性の再現が判定されるので、シュミレーションに誤差が存在しても、異常な電気的特性の原因となるプロセスを精度よく判定することが可能になる。

【0037】請求項4記載の発明によると、請求項1または請求項2記載の発明で得られる効果に加えて、前記異常な電気的特性の原因になる複数のプロセスが判定されると、複数のプロセスが、前記異常な電気的特性に対する感度の順序付けをして表示されるので、異常な電気的特性の原因となるプロセスを的確に把握することが可能になる。

【図面の簡単な説明】

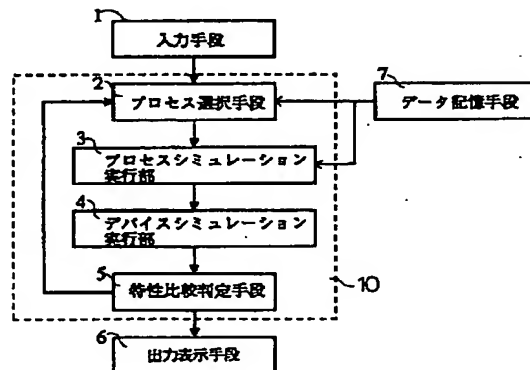
【図1】本発明の一実施の形態の構成を示すブロック図である。

【図2】同実施の形態の動作を示すフローチャートである。

【符号の説明】

- 1 入力手段
- 2 プロセス選択手段
- 3 プロセスシュミレーション実行部
- 4 デバイスシュミレーション実行部
- 5 特性比較判定手段
- 6 出力表示手段
- 7 データ記憶手段
- 10 データ処理装置

【図1】



【図2】

